

DIALOG(R)File 345:Inpadoc/Fam. & Legal Stat  
(c) 2004 EPO. All rts. reserv.

16463614

Basic Patent (No,Kind,Date): JP 6124962 A2 19940506 <No. of Patents: 033>

THIN-FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): CHIYOU KOUYUU; TAKEMURA YASUHIKO

IPC: \*H01L-021/336; H01L-029/784

Derwent WPI Acc No: C 94-187296

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Appli c No	Kind	Date
CA 2155494	AA	19960726	CA 2155494	A	19950804
CN 1090427	A	19940803	CN 93114663	A	19931009
CN 1041872	B	19990127	CN 93114663	A	19931009
DE 19529319	A1	19960801	DE 19529319	A	19950809
DE 19529319	C2	19980702	DE 19529319	A	19950809
ES 2116200	AA	19980701	ES 9501673	A	19950821
ES 2116200	BA	19990216	ES 9501673	A	19950821
FR 2729769	A1	19960726	FR 9510264	A	19950831
FR 2729769	B3	19970404	FR 9510264	A	19950831
GB 9516822	A0	19951018	GB 9516822	A	19950817
GB 2297391	A1	19960731	GB 9516822	A	19950817
IT 96500070	A0	19960117	IT 96MI 70	A	19960117
IT 1281739	B1	19980227	IT 96MI 70	A	19960117
JP 6124962	A2	19940506	JP 92297650	A	19921009 (BASIC)
JP 7038115	A2	19950207	JP 93200253	A	19930720
JP 7078782	A2	19950320	JP 93172711	A	19930618
JP 7111334	A2	19950425	JP 94218075	A	19940819
JP 2000091594	A2	20000331	JP 99286130	A	19991006
JP 2000277750	A2	20001006	JP 200077565	A	19921009
JP 2000277751	A2	20001006	JP 200077570	A	19921009
JP 2000277752	A2	20001006	JP 200077625	A	19921009
JP 3030367	B2	20000410	JP 93200253	A	19930720
JP 3252990	B2	20020204	JP 93172711	A	19930618

JP 3472231	B2	20031202	JP 200077565	A	19921009
JP 3472232	B2	20031202	JP 200077570	A	19921009
JP 3472233	B2	20031202	JP 200077625	A	19921009
KR 131061	B1	19980414	KR 9320969	A	19931009
US 5576556	A	19961119	US 291028	A	19940816
US 5962897	A	19991005	US 886139	A	19970630
US 20020011627	AA	20020131	US 387054	A	19990831
US 20030006414	AA	20030109	US 241624	A	20020912
US 6624477	BA	20030923	US 122092	A	19980724
US 6455875	BB	20020924	US 387054	A	19990831

Priority Data (No,Kind,Date):

US 378361 A 19950125  
 JP 92297650 A 19921009  
 JP 93200253 A 19930720  
 JP 93172711 A 19930618  
 JP 94218075 A 19940819  
 JP 93227891 A 19930820  
 JP 99286130 A 19991006  
 JP 200077565 A 19921009  
 JP 200077570 A 19921009  
 JP 200077625 A 19921009  
 US 291028 A 19940816  
 US 378316 A2 19950125  
 US 131958 B1 19931008  
 US 886139 A 19970630  
 US 645695 B1 19960514  
 US 378316 B1 19950125  
 US 387054 A 19990831  
 US 886138 A3 19970630  
 US 241624 A 20020912  
 US 387054 A3 19990831  
 US 886139 A3 19970630  
 US 122092 A 19980724  
 US 698963 B3 19960816  
 US 378361 B2 19950125  
 US 291028 A3 19940816

DIALOG(R)File 347:JAP10

(c) 2004 JPO & JAP10. All rts. reserv.

04745515 \*\*Image available\*\*

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 07-038115 [JP 7038115 A]

PUBLISHED: February 07, 1995 (19950207)

INVENTOR(s): TERAMOTO SATOSHI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company  
or Corporation), JP (Japan)

APPL. NO.: 05-200253 [JP 93200253]

FILED: July 20, 1993 (19930720)

INTL CLASS: [6] H01L-029/786

JAP10 CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAP10 KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal  
Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion  
Implantation); R131 (INFORMATION PROCESSING -- Microcomputers  
& Microprocessors)

ABSTRACT

PURPOSE: To decrease the resistance of a source/drain region by a method wherein an approximately triangular second insulator is provided closely fixing to the first insulating layer on the side face of a gate electrode, a silicide layer is formed on a part of a source/drain region, and a silicide layer is formed on the source/drain region under the second insulator.

CONSTITUTION: A source/drain region 103 is formed by implanting impurities into the insular silicon film of each TFT using a gate electrode part as a mask, and then a silicon oxide film 108 is deposited using a plasma CVD method. The silicon oxide film 108 is etched, the silicon oxide film 105 of a gate insulating film is etched, and when the source/drain region 103 is exposed, an almost delta-shaped insulator 109 is left on the side face of the gate electrode. Then, a KrF excimer laser is projected, and a tungsten silicide region 11 is formed on the source/drain region. As tungsten

silicide has a low resistivity, the sheet resistance of the source/drain region can be brought down to 10. omega./square or lower.

(19)日本国特許庁 (J P)

(12)特許公報 (B 2)

(11)特許番号

特許第3030367号

(P 3 0 3 0 3 6 7)

(45)発行日 平成12年4月10日(2000.4.10)

(24)登録日 平成12年2月10日(2000.2.10)

(51)Int.CI.<sup>7</sup>  
H01L 29/786  
21/336

識別記号

F I  
H01L 29/78  
617 S  
617 W

請求項の数4 (全9頁)

(21)出願番号 特願平5-200253  
(22)出願日 平成5年7月20日(1993.7.20)  
(65)公開番号 特開平7-38115  
(43)公開日 平成7年2月7日(1995.2.7)  
審査請求日 平成6年9月22日(1994.9.22)  
審判番号 平10-2278  
審判請求日 平成10年2月12日(1998.2.12)

(73)特許権者 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72)発明者 寺本聰  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
合議体  
審判長 張谷雅人  
審判官 橋本武  
審判官 岡和久

(56)参考文献 特開 昭63-318779 (J P, A)  
特開 平5-160153 (J P, A)  
特開 平3-203322 (J P, A)

(54)【発明の名称】半導体装置およびその作製方法

1

(57)【特許請求の範囲】

【請求項1】 絶縁性基板と、  
前記絶縁性基板上に形成された、ソース領域、ドレイン領域およびチャネル形成領域を含む半導体層と、  
前記チャネル形成領域上に形成されたゲイト絶縁膜と、  
前記ゲート絶縁膜上に形成されたゲート電極と、  
前記ゲート電極の上面および側面に形成された酸化物層と、  
前記酸化物層に密接して形成された概略三角形状の絶縁膜と、  
前記ソース領域およびドレイン領域の一部に形成されたシリサイド層とを有し、  
前記ゲート電極は金属からなり、  
前記酸化物層は前記ゲート電極の金属酸化物であり、  
前記概略三角形状の絶縁物は前記ゲート電極の金属酸化

2

物とは異なる材料からなることを特徴とする半導体装置。

【請求項2】 請求項1において、前記金属はアルミニウム、チタンまたはタンタルを主成分とする金属であることを特徴とする半導体装置。

【請求項3】 請求項1において、前記シリサイド層にはチタンが含まれることを特徴とする半導体装置。

【請求項4】 金属でなるゲート電極の上面および側面を陽極酸化し酸化物層を形成する工程と、

10 前記ゲート電極および前記酸化物層を覆って絶縁層を形成する工程と、  
異方性エッチングを行うことによって、前記絶縁層をエッチングし、前記ゲート電極の側面に概略三角形状の絶縁物を残存させ、ソース領域およびドレイン領域の表面を前記概略三角形状の絶縁物に合わせて露呈させる工程

と、

前記ソース領域およびドレン領域の表面が露呈した部分にシリサイド層を形成する工程とを有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁基板（本明細書では絶縁性の表面を有する物体全体を指し、特に断らないかぎり、ガラス等の絶縁材料のみならず、半導体や金属等の材料上に絶縁物層を形成したものも意味する）上に絶縁ゲイト型半導体装置およびそれらが多数形成された集積回路を形成する方法に関する。本発明による半導体装置は、液晶ディスプレー等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはSOI集積回路や従来の半導体集積回路（マイクロプロセッサー、マイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリー等）における薄膜トランジスタ（TFT）として使用されるものである。

【0002】

【従来の技術】従来より、アクティブマトリックス型の液晶表示装置やイメージセンサー等のガラス基板上に集積化された装置にTFT（薄膜トランジスタ）を利用する構成が広く知られている。図3に従来のTFTの断面の概略および作製工程の例を示す。図3に示されているのは、ガラス基板上に設けられた薄膜珪素半導体を用いた絶縁ゲイト型電界効果トランジスタ（以下単にTFTという）である。以下にその作製工程を簡単に説明する。図3(A)において、301がガラス基板であり、このガラス基板301上に下地の酸化珪素膜302(2000Å厚程度)が形成され、さらにその上に珪素半導体膜により構成される島状の活性層303が形成される。この珪素半導体膜は、500~2000Å程度の厚さであり、非晶質（アモルファス）または結晶性（多結晶や微結晶等）を有している。そして活性層上にはゲイト絶縁膜を構成する酸化珪素膜304が1000~1500Å程度の厚さで形成される。

【0003】次に、ゲート電極305がドーピングされた多結晶シリコンやタンタル、チタン、アルミニウム等で形成される。（図3(B)）

さらに、このゲート電極をマスクとして、イオンドーピング等の手段によって不純物元素（リンやホウ素）を導入し、自己整合的にソース／ドレン領域（不純物領域）306が活性層303に形成される。不純物が導入されなかったゲート電極の下の活性層領域はチャネル形成領域307となる。（図3(C)）

さらに、レーザーもしくはフラッシュランプ等の熱源によって、ドーピングされた不純物の活性化をおこなう。（図3(D)）

【0004】次に、プラズマCVD、APCVD等の手段によって酸化珪素膜を形成し、これを層間絶縁物307とする。さらに、層間絶縁物を通して、ソース／ドレン領域にコンタクトホールを形成し、アルミニウム等の金属材料によって、ソース／ドレンに接続する配線・電極308を形成する。（図3(E)）

【0005】このような従来のTFTにおいては、特性（特に電界移動度やサブスレッシュホールド特性（S値））を改善するには、ソース／ドレン領域のシート抵抗を低減することが必要であった。そのためには、①不純物のドーピング量（濃度）を多くする。

②活性化のエネルギー（レーザーやフラッシュランプの強度）を十分に大きくする。

③チャネル形成領域307と金属電極308までの距離（図中にzと表示）を縮める。

という3つのことが考えられてきた。

【0006】しかしながら、①に関しては、ドーピング量を増加させると、処理時間が増えてスループットが低下し、また、活性層やゲイト絶縁膜304に対するダメージが大きくなるという問題があった。特に、不純物導入手段として、ドーピング元素を含有する気体をプラズマ状にして、これを加速して注入するという方法（イオンドーピング法もしくはプラズマドーピング法）を用いる場合には、量産性は優れるものの、加速されるイオンには、水素やその他の元素も多数含まれ、基板が加熱されやすいという問題があった。特にプラズマの密度を高くするとこの問題が顕著になった。

【0007】そして、ドーピングの際に、素子が加熱されてダメージを受け、あるいは、ドーピングのマスクとしてフォトレジストを使用した場合には、これが炭化してその除去が著しく困難となることが問題であった。

【0008】また、②に関しては、エネルギーが大きな場合には活性層やゲイト電極が剥離したりしてTFTの歩留りを低下させる原因となった。また、スループットも低下した。例えば、レーザーを用いる場合においては、レーザーのエネルギー自体は大きく変更できないため、ビームの集束度を上げて、エネルギー密度を増やすことが必要となる。このことは必然的にビームの面積を小さくすることとなり、同じ面積を処理するのに要する時間が長くなるのである。

【0009】さらに、③に関しては、マスク合わせの精度によって決定されるもので、極端な改善は望めなかつた。特に基板としてガラス基板を用いた場合には、加熱工程（各種アニール工程が必要とされる）におけるガラス基板の縮みがマスク合わせに際して大きな問題となる。例えば、10cm角以上のガラス基板に対して、500°C程度の熱処理を加えると、数μm程度は簡単に縮んでしまう。従って、距離zは20μm程度としてマージンをとっているのが現状である。しかも、zが小さな場合にはゲート電極305とソース／ドレン電極308との間の寄生容量が大きくなってしまい、TFTの特性に好ましからぬ影響を与えた。

【0010】また、ソース／ドレイン領域306へのコンタクトホールの形成を行う場合、コンタクトホールを確実に形成するために、ややオーバー気味にエッチングをおこなうことが要求され、したがって、 $z$ で示される距離を無闇に短くすることはできない。以上述べたように、従来のTFTにおいては、ソース／ドレイン領域の寄生抵抗これ以上、低くすることは非常な困難をきわめていた。

## 【0011】

【発明が解決しようとする課題】本発明は、上記のような問題を解決し、実質的にチャネル形成領域とソース／ドレイン電極との間を縮め、かつ、この間の抵抗を低下させることによって、高い特性を得ることができるTFTを得ることを課題とする。さらに、量産性に優れつつ上記の課題を達成することを目的とする。

## 【0012】

【課題を解決するための手段】本発明においては、ゲート電極の少なくとも側面、好ましくは側面と上面にゲート電極を酸化することによって、酸化物被膜を形成する。この酸化物被膜は絶縁性に優れていることが好ましい。そして、このゲート電極の酸化物のさらに外側に概略三角形状の絶縁物を形成する。この概略三角形状の絶縁物の幅は1μm以下が好ましい。そして、この概略三角形状の絶縁物にあわせて（自己整合的に）シリサイドをソース／ドレイン領域に密着して形成する。このシリサイドは比抵抗がドーピングされた多結晶シリコンよりも格段に小さいため、非常に薄いものであっても抵抗は十分に小さい。

【0013】本発明ではシリサイドを構成する金属材料は、そのシリサイドがシリコン半導体に対してオーミックもしくはオーミックに近い低抵抗なコンタクトを形成できるような材料であることが望まれる。具体的には、モリブデン(Mo)、タンクスチタン(W)、プラチナ(白金、Pt)、クロム(Cr)、チタン(Ti)、コバルト(Co)が適当である。本発明を実施するには、これらの金属のうちの少なくとも1つとシリコンを反応させてシリサイドとする。

【0014】図1は上記の技術思想を具体化した例で、上記構成のTFTを得るために工程をも示している。これを用いて本発明を説明する。基板101上には、公知の手段によって下地酸化膜102、ソース／ドレイン領域103、チャネル形成領域104、ゲート絶縁膜105およびアルミニウム、チタン、タンタル等の金属や合金を主成分とするゲート電極106が形成される。そして、ゲート電極の周囲にはゲート電極の酸化物層107が形成される。酸化物層の形成には熱酸化もしくは陽極酸化が適している。特に、アルミニウム、チタン、タンタルを主成分とする金属、合金をゲート電極に用いる場合には陽極酸化法によって酸化物層を得ることが望ましい。不純物のドーピングはこの酸化物層107に対して

自己整合的におこなわれるため、ソース／ドレイン領域とゲート電極とは、オフセット状態となる。（図1(A)）

【0015】本発明において陽極酸化法を採用する場合には、ゲート電極の材料を選択することが陽極酸化物の種類を決定することでもあるので重要である。本発明では、ゲート電極としては、アルミニウム、チタン、タンタル、シリコンのような純粋な金属やそれらに少量の添加物を添加した合金（例えば、アルミニウムに1～3%のシリコンを加えた合金や、シリコンに1000ppm～5%の燐を加えた合金）、あるいは珪化タンクスチタン(WSi<sub>2</sub>)や珪化モリブデン(MoS<sub>2</sub>)等の導電性珪化物、さらには窒化チタンに代表される導電性窒化物が使用できる。なお、本明細書では、特に断らない限り、例えば、アルミニウムといえば、純粋なアルミニウムだけでなく、10%以下の添加物を含有するものも含むものとする。シリコンや他の材料についても同じである。

【0016】本発明では、これらの材料を単独で使用した単層構造のゲート電極を用いてもよいし、これらを2層以上重ねた多層構造のゲート電極としてもよい。例えば、アルミニウム上に珪化タンクスチタンを重ねた2層構造や窒化チタン上にアルミニウムを重ねた2層構造である。各々の層の厚さは必要とされる素子特性に応じて実施者が決定すればよい。

【0017】次に絶縁性の被膜108を形成する。この被膜はゲート電極側面への被覆性が優れていることが重要である。（図1(B)）

そして、この絶縁性被膜をドライエッティング法等の手段によって異方性エッティングする。すなわち、垂直方向のみを選択的にエッティングする。この結果、ソース／ドレイン領域の表面は露出され、ゲート電極（周囲の酸化物層107を含む）の側面に概略三角形状の絶縁物109が残る。（図1(C)）

【0018】この概略三角形状の絶縁物109の寸法、特にその幅は、予め成膜される絶縁性被膜108の厚さと、エッティング条件と、ゲート電極（周囲の酸化物層107を含む）の高さ（この場合酸化物層107の厚さも含まれる）によって決定される。絶縁性被膜108の値は2000Å～20000Å程度が一般的であるが、実施態様に合わせて決めればよい。また、得られる絶縁物109の形状は、三角形状に限定されるものではなく、絶縁性被膜108のステップカバレージや膜厚によってその形状が変化する。例えば、膜厚が小さな場合は、方形形状となる。しかし、簡単のため以下明細書中では、絶縁物109のことを図面に示すように概略三角形状の絶縁物ということとする。

【0019】次に、前面に適当な金属、例えば、チタン、モリブデン、タンクスチタン、白金、パラジウム等の被膜110を基板前面に形成する。（図1(D)）

【0020】そして、適切な温度でのアニールやレーザーもしくはフラッシュランプ等でのアニール等によってこの金属膜とソース／ドレイン領域のシリコンとを反応させてシリサイド層を形成する。金属膜は、その他の材料、例えば、酸化珪素や窒化珪素、あるいはゲイト電極の酸化物層107を構成する酸化アルミニウムや酸化チタン、酸化タンタル等とは反応しないで、金属状態のままである。このように、基板上にはシリサイドと金属膜とが同時に存在するが、適当なエッチャントによって、金属膜のみを選択的にエッチングすることができる。この際に、ゲイト電極の上面に酸化物層107が存在することは重要である。というのは、この酸化物層によって、金属膜110とゲイト電極106が直接に反応しないからである。このようにして、ソース／ドレイン領域に密着してシリサイド層111のみが残される。（図1（E））

【0021】なお、レーザー等の強光を金属膜に照射し、下に存在するシリコン半導体膜と反応させてシリサイドとする場合には、パルス状のレーザーが好ましい。連続発振レーザーでは照射時間が長いので、熱によって被照射物が熱によって膨張することによって剥離するような危険がある。

【0022】パルスレーザーに関しては、Nd:YAGレーザー（Qスイッチパルス発振が望ましい）のごとき赤外光レーザーやその第2高調波のごとき可視光、KrF、XeCl、ArF等のエキシマーを使用する各種紫外外光レーザーが使用できるが、金属膜の上面からレーザー照射をおこなう場合には金属膜に反射されないような波長のレーザーを選択する必要がある。もっとも、金属膜が極めて薄い場合にはほとんど問題がない。また、レーザー光は、基板側から照射してもよい。この場合には下に存在するシリコン半導体膜を透過するレーザー光を選択する必要がある。

【0023】さて、図面ではシリサイド層は活性層の厚さよりも薄く描かれているが、シリサイド層が活性層と同じ厚さであってもよいことはいうまでもない。ただし、シリサイド層の厚さがどのようであれ、絶縁物109の下の活性層領域は不純物半導体であり、ソース／ドレイン領域である。シリサイド層110に用いられるシリサイドの種類としては、Tiを用いてTiSi<sub>x</sub>、TiSi<sub>1-x</sub>、Mo用いてMoSi<sub>x</sub>、Wを用いてWSi<sub>x</sub>、W(SiAl)<sub>x</sub>、TiSi<sub>x</sub>を用いてTi<sub>x</sub>Si<sub>1-x</sub>Al<sub>x</sub>、Pd<sub>x</sub>SiAl<sub>x</sub>を利用してPd<sub>x</sub>SiAl<sub>x</sub>を利用することができます。しかしながら、Tiを用いてTiSi<sub>x</sub>やTiSi<sub>1-x</sub>を利用することができ、処理温度の問題や、接触抵抗、シート抵抗の問題から好ましい。

【0024】その後、層間絶縁物112を堆積し、コンタクトホールを前記シリサイド層111に形成して、金属電極・配線113を形成して、TFTが完成する。（図1（F））

このように、本発明のTFTでは、シリサイド層111

の抵抗が極めて小さいので、チャネル形成領域と金属電極との間の抵抗は、実質的に図1（F）のxで表示される距離によって決定されるとしてよい。そして、xは、好ましくは1μm以下であるので、抵抗は格段に低減される。もちろん、コンタクトホールとゲイト電極の間の距離は従来のままでもよい。

【0025】また、先に述べたオフセット（図中でyと表示）はTFTのリーク電流を減少させる効果がある。さらに本発明の好ましい別の実施態様例を図2に示す。

10 この例においても、基板201上に、下地酸化膜202、ソース／ドレイン領域203とチャネル形成領域204を有する活性層、ゲイト絶縁膜205、ゲイト電極206とその周囲の酸化物層207は、図1の場合と同様に形成される。（図2（A））

【0026】その後、ゲイト絶縁膜205はゲイト電極とその周囲の酸化物層207をマスクとして自己整合的にエッチングされる。例えば、酸化物層207が酸化アルミニウムを主成分とし、また、ゲイト絶縁膜が酸化珪素を主成分として形成されていた場合には、フッ素系

20 （例えばNF<sub>3</sub>、SF<sub>6</sub>）のエッチングガスを用いて、ドライエッチングをおこなえばよい。これらのエッチングガスでは、酸化珪素であるゲイト絶縁膜は素早くエッチングされるが、酸化アルミニウムのエッチングレートは十分に小さい選択的にエッチングができる。その後、絶縁性被膜208を前面に堆積する。（図2（B））

【0027】さらに、これを図1の場合と同様に異方性エッチングによってエッチングし、ゲイト電極の側面に概略三角形状の絶縁物209を残す。そして、適切な金属膜210を堆積する。（図2（C））

これを適当な熱処理、レーザー照射等によってシリコンと反応させ、シリサイド層211を得る。（図2（D））

その後、層間絶縁物212と金属電極・配線213を形成する。（図2（E））

この場合においても、チャネル形成領域とソース／ドレイン電極間の抵抗は十分に小さいことは図1の場合と同じである。

【0028】

40 【作用】本発明の作用は上記の例に示したように実質的にチャネル形成領域とソース／ドレイン電極間の距離を短縮して、その間の抵抗を低減することによってTFTの特性が向上することである。しかし、本発明の作用はこれだけに留まらない。すなわち、上記の抵抗が十分に小さくできるので、ソース／ドレイン領域への不純物ドーピングの量を小さくできる。例えば、通常は1×10<sup>-15</sup>～8×10<sup>-15</sup>cm<sup>-3</sup>のドーズ量が必要とされるが、本発明によって、これを1桁以上小さい、5×10<sup>-16</sup>～1×10<sup>-15</sup>cm<sup>-3</sup>とできる。このように少量のドーピングでも特性は従来の場合よりも向上する。このため、単純

にドーピング時間を10分の1に短縮できる。

【0029】また、このような低濃度のドーピングでは、チャネル形成領域とソース／ドレイン領域の境界の部分のダメージが小さい。特に、レーザー／アニール等の手段で不純物の活性化をおこなう場合には、ゲイト電極等が影となって、チャネル形成領域とソース／ドレイン領域の境界の活性化が不十分になりがちで、多量のドーピングによる特性の劣化が問題となっていた。

【0030】次に活性層を薄くできる。すなわち、従来の方法ではソース／ドレインのシート抵抗が大きかったので、活性層の厚さを1000Å以下、特に500Å以下とすることは困難であった。しかし、本発明によってこのような制約は取り除かれる。すなわち、シリサイド層は比抵抗が $10^{-3} \sim 10^{-5} \Omega \text{ cm}$ と小さいので、仮に厚さが100Åであったとしても、シート抵抗は $10 \Omega \sim 1 \text{ k}\Omega$ である。活性層が薄いということは活性層の成膜時間を短縮できるという意味の他にゲイト絶縁膜およびゲイト電極のステップカバーレージ不良によるリーク電流や断線（段切れ）を抑制できるという意味がある。すなわち、歩留りの向上に寄与する。

### 【0031】

【実施例】【実施例1】図1に本実施例を示す。まず、基板（コーニング7059、300mm×400mmもしくは100mm×100mm）101上に下地酸化膜102として厚さ100～300nmの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中のスパッタ法を使用した。しかし、より量産性を高めるには、TEOSをプラズマCVD法で分解・堆積した膜を450～650℃でアニールしてもよい。

【0032】その後、プラズマCVD法やLPCVD法によってアモルファス状のシリコン膜を30～500nm、好ましくは50～100nm堆積し、これを、550～600℃の還元雰囲気に24時間放置して、結晶化せしめた。この工程は、レーザー照射によっておこなつてもよい。そして、このようにして結晶化させたシリコン膜をパターニングして島状領域を形成した。さらに、この上にスパッタ法によって厚さ70～150nmの酸化珪素膜105を形成した。

【0033】その後、厚さ200nm～5μmのアルミニウム（Al99% / Si1%）膜を電子ビーム蒸着法によって形成して、これをパターニングし、ゲイト電極106とし、さらにこれに電解液中で電流を通じて陽極酸化し、厚さ50～250nmの陽極酸化物107を形成した。陽極酸化の条件等については、特願平4-30220（平成4年1月21日出願）に示されているものを用いた。

【0034】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部（すなわちゲイト電極とその周囲の陽極酸化膜）をマスクとして自己整合的に不純物を注入し、図1（A）に示すようにソ

ース／ドレイン領域（不純物領域）103を形成した。NMOSのTFTを形成するにはフォスфин（PH<sub>3</sub>）をドーピングガスとして燐を注入し、PMOSのTFTを形成するにはジボラン（B<sub>2</sub>H<sub>6</sub>）をドーピングガスとして、硼素を注入すればよい。ドーズ量は2～ $8 \times 10^{14} \text{ cm}^{-2}$ 、加速エネルギーは10～90keVとした。そして、プラズマCVD法によって厚さ400nm～1.5μm、例えば900nmの酸化珪素膜108を堆積した。（図1（B））

【0035】次に、公知のRIE法による異方性ドライエッティングを行うことによって、この酸化珪素膜108のエッティングを行う。この際、その高さが900nmあるゲイト電極106の側面においては、その高さ方向の厚さが膜厚（酸化珪素膜の膜厚900nmのこと）の約2倍となる。また、この際、ゲイト絶縁膜である酸化珪素膜105をも続けてエッティングしてしまい、ソース／ドレイン領域103を露呈させる。以上の工程によって、ゲイト電極の側面には概略三角形状の絶縁物109が残る。（図1（C））

【0036】その後、図1（D）に示すように、厚さ5～50nmのタンクステン膜110をスパッタ法によって形成した。そして、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、タンクステンとシリコンを反応させ、珪化タンクステン領域111を不純物領域（ソース／ドレイン）上に形成した。レーザーのエネルギー密度は200～400mJ/cm<sup>2</sup>、好ましくは250～300mJ/cm<sup>2</sup>が適當BRであった。レーザー光の多くの部分はタンクステン膜に吸収されたので下にあるシリコンの不純物領域の結晶性（これは先のイオンドーピングによってかなり損傷を受けている）の回復にはほとんど利用されなかった。しかしながら、珪化タンクステンは、 $30 \sim 100 \mu\Omega \cdot \text{cm}$ という低い抵抗率であるので、実質的なソースおよびドレイン領域（領域108とその下の不純物領域）のシート抵抗は $10 \Omega / \square$ 以下であった。もちろん、不純物導入の工程の直後にレーザー照射や熱アニール等によって不純物導入によって劣化した結晶性の回復を図つてもよい。

【0037】その後、図1（E）に示すように、反応しなかったタンクステン膜をエッティングして、珪化タンクステンのみを残置せしめた。この際のエッティング法としては、例えば、フッ化炭素雰囲気で反応性エッティングをおこなえば、タンクステンは6フッ化タンクステンとなって蒸発し、除去できる。

【0038】最後に、全面に層間絶縁物112として、CVD法によって酸化珪素膜を厚さ300nm形成した。TFTのソース／ドレインにコンタクトホールを形成し、アルミニウム配線・電極113を形成した。以上によって、TFTが完成された。不純物領域の活性化のために、さらに200～400℃で水素アニールをおこ

なってもよい。

【0039】〔実施例2〕 図2に本実施例を示す。まず、基板(コーニング7059)201上に実施例1と同様に下地酸化膜202、島状シリコン半導体領域、ゲイト酸化膜として機能する酸化珪素膜205を形成し、アルミニウム膜(厚さ200nm～5μm)によるゲイト電極206を形成した。その後、実施例1と同様に陽極酸化によって、ゲイト電極の周囲(側面と上面)に陽極酸化物207を形成した。そして、ゲイト電極をマスクとしてイオンドーピング法によって不純物注入をおこない、不純物領域203を形成した。ドーズ量は $1 \sim 5 \times 10^{14} \text{ cm}^{-3}$ とした。

【0040】さらに、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物の活性化をおこなった。レーザーのエネルギー密度は200～400mJ/cm<sup>2</sup>、好ましくは250～300mJ/cm<sup>2</sup>が適当であった。(図2(A))

【0041】この活性化は、赤外光の照射によるランプアニールによるものでもよい。また公知の加熱によるものでもよい。しかし、赤外線(例えば1.2μmの赤外線)によるアニールは、赤外線が珪素半導体に選択的に吸収され、ガラス基板をそれ程加熱せず、しかも一回の照射時間を短くすることで、ガラス基板に対する加熱を抑えることができ、極めて有用である。そして、前記陽極酸化物207をマスクとしてドライエッティング法によって、ゲイト酸化膜をエッティングした。例えば、エッティングがすとしてCF<sub>4</sub>を使用すれば陽極酸化物はエッティングされず、酸化珪素であるゲイト絶縁膜205のみがエッティングされる。その後、プラズマCVD法によって厚さ400nm～1.5μmの酸化珪素膜208を堆積した。

【0042】そして、実施例1と同様に異方性エッティングによって、ゲイト電極の側面に酸化珪素の概略三角形状の絶縁物209を形成した。その後、図2(C)に示すように、厚さ5～50nmのチタン膜210をスパッタ法によって形成した。次に、これを250～450℃に加熱してチタンとシリコンを反応させ、珪化チタン領域211を不純物領域(ソース/ドレイン)上に形成した。なお、この際には加熱によってゲイト電極等にヒロックが発生しないような温度でおこなうことが望まれる。

【0043】このアニールは赤外光のランプアニールによるものでもよい。ランプアニールを行う場合には、被照射面表面が600度～1000度程度になるように、600度の場合は数分間、1000度の場合は数秒間のランプ照射を行うようにする。また、ここでは、ゲイト電極にアルミを用いているので、チタン膜成膜後の熱アニールを450℃までとしたが、ゲイト電極にシリコンを主成分としたものを用いた場合には、500℃以上の

温度で行なうことが好ましい。

【0044】この後、過酸化水素とアンモニアと水とを5：2：2で混合したエッティング液でTFT膜のエッティングする。この際、シリサイド層211はエッティングされないので、残存させることができる。最後に、図2(E)に示すように、全面に層間絶縁物212として、CVD法によって酸化珪素膜を厚さ300nm形成し、TFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線・電極213を形成した。以上の工程によって、TFTが完成された。

【0045】〔実施例3〕 図4に本実施例を示す。本実施例はアクティブマトリクス型の液晶ディスプレー基板の作製工程に関するものである。まず、図4(A)に示すように、基板(コーニング7059)401上に実施例1と同様に下地酸化膜402、島状シリコン半導体領域、ゲイト酸化膜として機能する酸化珪素膜405を形成し、アルミニウム膜(厚さ200nm～5μm)によるゲイト電極407および同じ層内の配線(第1層配線)406を形成した。そして、実施例1と同様に陽極酸化によって、ゲイト電極の周囲(側面と上面)に陽極酸化物408、409を形成した。そして、イオンドーピングによって不純物導入をおこない、不純物領域403を形成した。さらに、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物の活性化をおこなった。レーザーのエネルギー密度は200～400mJ/cm<sup>2</sup>、好ましくは250～300mJ/cm<sup>2</sup>が適当であった。

【0046】そして、図4(B)に示すように酸化珪素膜410を堆積した。そして、実施例1と同様に異方性エッティングによって、ゲイト電極および第1層配線の側面に概略三角形状の絶縁物411および412を形成した。また、ソース/ドレイン領域を露出させた。そして、厚さ5～50nmのチタン膜をスパッタ法によって形成した。成膜時の基板温度は200～450℃、好ましくは200～300℃としたため、成膜中にチタンとシリコンが反応し、ソース/ドレイン領域の表面にシリサイド層を413を形成した。

【0047】その後、図4(C)に示すように、反応しなかったチタン膜をエッティングした。そして、全面に層間絶縁物414として、CVD法によって酸化珪素膜を厚さ600nm形成した。さらに、スパッタ法によってITO膜50～100nmを堆積して、これをパターニングし、画素電極415を形成した。最後に、図4(D)に示すように、TFTのソース/ドレインにコンタクトホールを形成し、窒化チタンとアルミニウムの多層膜を堆積し、これをパターニングして、第2層の配線・電極416を形成した。窒化チタンとアルミニウムの厚さはそれぞれ、80nm、500nmとした。以上の工程によって、アクティブマトリクス基板が完成された。

【0048】本実施例で作製したアクティブマトリクスのうち、1つの画素の回路を図4(E)に示す。本実施例では、ソース／ドレイン電極416とゲート電極407を十分に離してもソース／ドレインのシート抵抗は問題とならず、また、ゲート電極はオフセットゲートであるので、ゲート電極とソース／ドレイン領域（もしくはソース／ドレイン電極）間の寄生容量C<sub>s</sub>は十分に小さく、アクティブマトリクスとしては理想的である。このため、画素容量と並列に作製する保持容量C<sub>h</sub>を十分に小さくしても、あるいは全く設けなくともよい。このため、画素の開口率が向上する。

【0049】なお、アクティブマトリクスの周辺の駆動回路は本実施例のTFTを用いても作製できるが、本実施例（画素TFT）の場合よりも、陽極酸化物409を薄くしても、あるいは全く設けなくともよい。これは、画素TFTが寄生容量C<sub>s</sub>の影響を小さくする必要があるのに対し、周辺回路のTFTではその必要がより少ないからである。

#### 【0050】

【発明の効果】本発明によって、ソース／ドレイン間の実質的な抵抗を著しく低減することができた。本発明においては、シリコン半導体（ソース／ドレイン）の表面にシリサイド膜を形成することによってシート抵抗を著しく低減させ、典型的には100Ω/□以下にまで低減させることができる。本発明では、このシリサイド膜を得るために金属膜の成膜が必要とされるが、成膜時間はわずかであり、量産上の問題は少ない。

【0051】本発明では、シリサイド層の下にあるシリコン半導体の不純物領域に関しては、イオン注入の後に、結晶性を回復させるための工程（活性化工程）を設けても設けなくてもよい。例えば、イオンドーピング法によって不純物注入をおこなった場合では、10<sup>15</sup> cm<sup>-2</sup>以上のヘビードーピングをおこなった場合には、活性化工程を設けなくても10kΩ/□程度のシート抵抗は得られ、本発明のように不純物領域に密接して低抵抗のシリサイド層が形成されている場合には、実質的なソ

スやドレインのシート抵抗は十分に低い。

【0052】しかしながら、活性化工程を経ていないシリコン半導体中には、多くの欠陥が存在し、目的によっては信頼性の観点から好ましくない場合がある。このような目的には不純物領域の活性化をおこなうべきである。ただし、この場合の活性化工程として、レーザー照射を使用する場合には、不純物領域のシート抵抗の最適化を目的とするのではないので、従来の場合よりもより緩やかな条件を適用することができる。

10 【0053】その他、本発明を使用することによって派生的に得られるメリットは

【作用】の項で述べたとおりである。このように本発明はTFTの特性を改善せしめ、その歩留りを向上させる上で著しく有益である。

#### 【図面の簡単な説明】

【図1】本発明によるTFTの作製方法を示す。

【図2】本発明によるTFTの作製方法を示す。

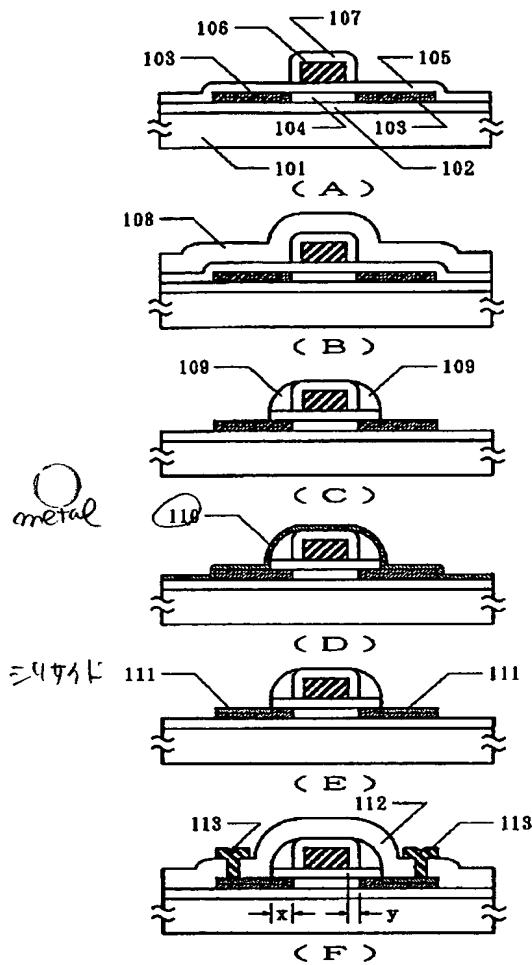
【図3】従来法によるTFTの作製方法を示す。

【図4】本発明によるアクティブマトリクス基板の作製方法を示す。

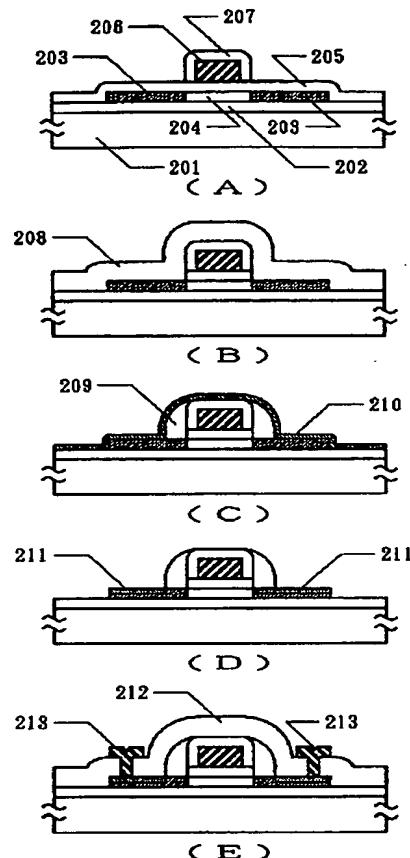
#### 【符号の説明】

101	絶縁基板
102	下地酸化膜（酸化珪素）
103	ソース／ドレイン領域（不純物シリコン領域）
104	チャネル形成領域
105	ゲート絶縁膜（酸化珪素）
106	ゲート電極（アルミニウム）
107	陽極酸化物（酸化アルミニウム）
30 108	絶縁性被膜（酸化珪素）
109	概略三角形状の絶縁物（酸化珪素）
110	金属膜（タンクステン）
111	シリサイド層（珪化タンクステン）
112	層間絶縁膜（酸化珪素）
113	金属配線・電極（アルミニウム）

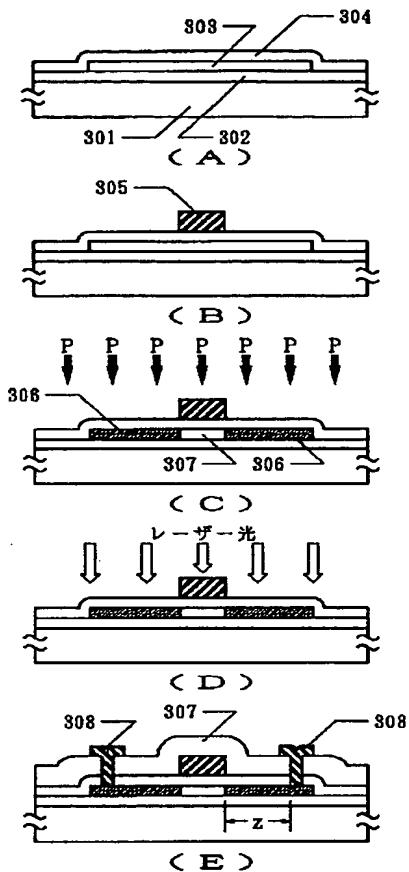
【図1】



【図2】



【図3】



【図4】

